

ANÁLISIS DEL DESEMPEÑO DE UN SISTEMA DE COMUNICACIONES CON MODULACIÓN DBPSK/DQPSK BASADO EN HARDWARE RECONFIGURABLE

Fabián A. Burbano Robles

Universidad del Cauca, Facultad de
Ingeniería Electrónica y
Telecomunicaciones, Popayán,
Cauca, Colombia
fabianburbano@unicauca.edu.co

Mario A. Ramos Goyes

Universidad del Cauca, Facultad de
Ingeniería Electrónica y
Telecomunicaciones, Popayán,
Cauca, Colombia
marioramos@unicauca.edu.co

Pablo E. Jojoa Gómez

Universidad del Cauca, Facultad de
Ingeniería Electrónica y
Telecomunicaciones, Popayán,
Cauca, Colombia
pjojoa@unicauca.edu.co

(Tipo de Artículo: Reflexión. Recibido el 17/10/2014. Aprobado el 28/11/2014)

RESUMEN

En este informe de trabajo de grado bajo la modalidad de investigación se presenta la implementación en bloques hardware de un sistema de transmisión y recepción de señales digitales moduladas en fase diferencial DBPSK y DQPSK.

Los bloques del sistema de comunicación digital, se desarrollaron en el lenguaje de descripción de hardware VHDL y se utilizó aritmética en punto fijo para la expresión de los datos en cada una de las etapas de transmisión y recepción. Esta implementación se realizó con el ánimo de servir de apoyo en la investigación y la enseñanza en el área de circuitos digitales y áreas relacionadas con las comunicaciones, que será un componente del laboratorio modular de comunicaciones digitales, elaborado por los grupos de investigación GNTT y GRIAL de la Universidad del Cauca. En este caso los diseños de los bloques son creados y simulados a través de la herramienta System Generator con ayuda del Matlab, para posteriormente sintetizarlos en lenguaje VHDL a través del Project Navigator, y a su vez después de esto implementados a través de la herramienta ISE Impact sobre la FPGA Spartan3axc3s700a-4fg484 de Xilinx.

Palabras claves. DBPSK, DQPSK, FPGA, AWGN, Modulación Digital.

ANALYSIS OF THE PERFORMANCE OF A COMMUNICATION SYSTEM WITH DBPSK/DQPSK MODULATION BASED ON RECONFIGURABLE HARDWARE

ABSTRACT

In this article is presented the implementation in hardware blocks of a system of transmission and reception of digital signals modulated in differential phase DBPSK and DQPSK. The blocks of the digital communication system, were developed in the hardware description language VHDL and it was used fixed-point arithmetic for managing data in each of the transmission-reception stages. This implementation was performed with the objective of supporting research and teaching in the field of digital circuits and communication-related subjects, which will be a component of the modular digital communications laboratory, developed by the research groups GRAIL and GNTT of the University of Cauca, Colombia. Block designs are created and simulated with the System Generator tool using Matlab, for subsequently synthesize them in VHDL language by means of Project Navigator, finally they were implemented through the ISE Impact tool on a FPGA Xilinx Spartan.

Keywords. DBPSK, DQPSK, FPGA, AWGN, Digital Modulation.

Analyse de la performance d'un système de communications avec modulation DBPSK/DQPSK qu'utilise hardware reconfigurable

Résumé

On présente l'implémentation sur blocks d'hardware d'un système de transmission et réception de signaux numériques modulés en phase différentiel DBPSK y DQPSK. Les blocks du système de communication numérique ont été développés sur le langage de description de matériel VHDL et on a utilisé arithmétique à point fixe pour exprimer les données dans chaque des étapes de transmission et réception. Cette implémentation a été réalisée dans l'intention de supporter la recherche et l'enseignement dans le champ des circuits numériques et champs liés aux communications, qui sera un module de laboratoire de communications numériques implémenté par les groupes de recherche GNTT et GRIAL de l'Université du Cauca (Colombie). Les dessins des blocks ont été créés et simulés à travers de l'outil System Generator avec Matlab, après ils sont synthétisés sur langage VHDL à travers du Project Navigator, et après ça ils sont implémentés en utilisant l'outil ISE Impact sur une FPGA Spartan de Xilinx.

Mots-clés. DBPSK, DQPSK, FPGA, AWGN, Modulation Numérique.

1. INTRODUCCIÓN

En la actualidad las modulaciones digitales son ampliamente utilizadas en diferentes sistemas de telecomunicaciones, ya que permiten grandes velocidades de transmisión, presentan mayor inmunidad a ruido con respecto a sistemas analógicos [1], permiten manejar con mayor facilidad las tasas de error y a su vez tratar de corregirlas.

Teniendo en cuenta la importancia de los sistemas de comunicaciones digitales, su masiva utilización y debido a las múltiples utilidades en diferentes aplicativos se evidencia una línea de conocimiento importante para explotar [2], pero a su vez teniendo el conocimiento de los elevados costos para la implementación de dichos sistemas se hace necesaria una solución que permita diseñar y evaluar sistemas digitales utilizando diferentes tipos de modulaciones para evidenciar el funcionamiento dentro de un entorno académico poniendo en práctica los conceptos teóricos y a su vez permitiendo desarrollar estas actividades con un costo asequible.

Además de la problemática expuesta anteriormente, se sabe que la complejidad de trabajar con un sistema de comunicaciones hardware requiere de pruebas para poder establecer sus niveles de desempeño, por lo que se necesita la disponibilidad de tener un equipo netamente hardware que cumpla la función de un sistema de comunicación, pero esto no es posible debido a los altos costos que estos equipos tienen. Por lo que una buena solución sería implementar este tipo de sistemas con hardware tipo reconfigurable y flexible.

Los grupos de investigación I+D GRIAL y GNNT, ambos grupos pertenecientes a la Universidad del Cauca, han identificado la gran potencialidad de las FPGA, para la implementación de sistemas de comunicación; así mismo, otros trabajos con gran potencialidad en el campo de las telecomunicaciones han diseñado e implementado diferentes esquemas de modulación; ejemplos de esto se pueden encontrar en la: Universidad Nacional de Mar del Plata, Argentina [3], Escuela Politécnica del Ejército, Ecuador [4][5] y *College of Engineering and Management*, Wagholi, Pune, India[6], además cabe destacar que el trabajo realizado en la Universidad del Quindío [7], donde se hace una implementación de las modulaciones DBPSK y DQPSK, pero cabe aclarar que este último trabajo no sustenta una base teórica que permita corroborar el correcto funcionamiento del sistema.

Por ende la finalidad de este proyecto es evaluar y analizar el desempeño de un sistema de comunicaciones a partir de la BER haciendo uso de modulaciones DBPSK y DQPSK en hardware reconfigurable. Para cumplir dicha finalidad se establecen los siguientes objetivos: inicialmente determinar la viabilidad del proyecto a través de la determinación de las características mínimas del sistema, para luego implementar los sistemas diseñados anteriormente y por ultimo terminar

analizando el desempeño de los sistemas implementados.

Un sistema digital en este proyecto será tratado en el contexto de un enlace de comunicaciones vía radio, donde entre el transmisor y el receptor se tiene un canal AWGN caracterizado por la ausencia de desvanecimientos u otro tipo de fenómeno que afecte en gran medida al sistema [10].

2. CONCEPTOS GENERALES

2.1. MODULACIÓN DBPSK

DBPSK (*Differential Binary Phase Shifter Keying*) es una técnica de modulación digital que no maneja estados absolutos, sino que tiene en cuenta la diferencia que tenga la señal de salida. Para hacer este tratamiento se necesita saber el bit anterior para luego compararlo con el bit que se está enviando actualmente [8]. Si bien es cierto que dos símbolos cuya diferencia entre si es de 180°, cabe aclarar la diferencia que existe con la modulación BPSK como se muestra en la Fig. 1.

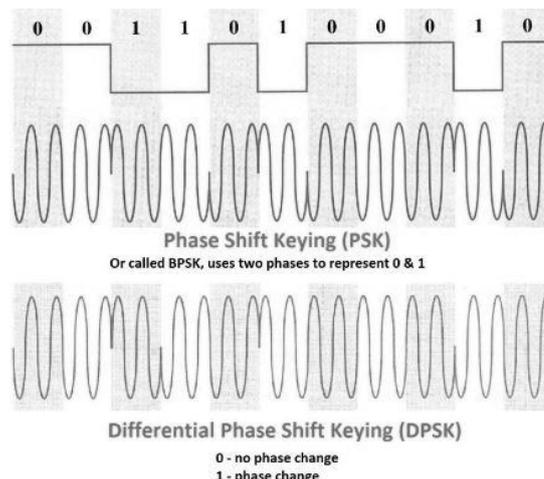


Fig. 1. Comparación entre BPSK y DBPSK [9].

2.2. MODULACIÓN DQPSK

DQPSK (*Differential Quadrature Phase Shift Keying*) es una técnica de modulación digital en donde la información de símbolos se codifica como el cambio de fase de un periodo de símbolo al siguiente en lugar de una fase absoluta como en QPSK. En este caso, el receptor tiene que detectar cambios de fase y no el valor absoluto de la fase, esto se observa en la Fig. 2, lo que evita la necesidad de un portador local sincronizado y reduce la complejidad del sistema [11].

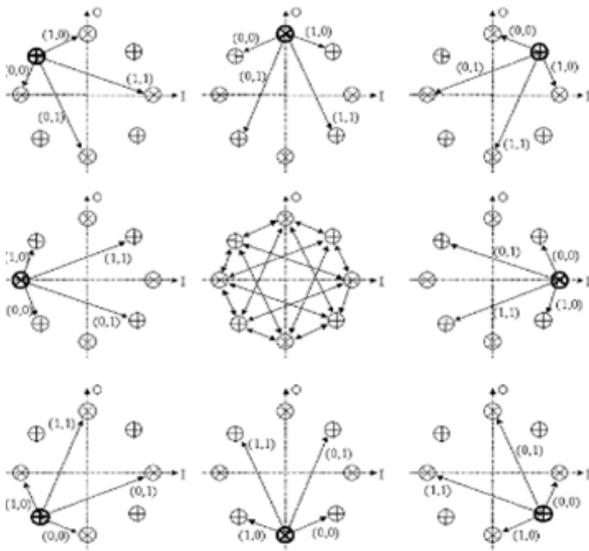


Fig. 2. Cambios de fase modulación DQPSK. [12]

2.3. CANAL AWGN

La señal de información transmitida en un sistema de comunicaciones se ve afectada por una adición de ruido que va a degradar la señal recibida como se muestra en la Fig. 3.

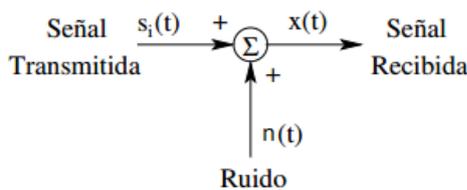


Fig. 3. Adición del ruido AWGN al sistema [13].

Partiendo de lo anterior se tiene una relación señal a ruido (SNR) que definirá el desempeño del sistema. [14]

Como la señal está normalizada en potencia, por lo que se tiene que:

$$SNR = \frac{1}{Potencia_{ruido}} \quad (1)$$

Como se utilizan 2 fuentes de ruido AWGN (real e imaginaria) se tiene que:

$$Potencia_{ruido} = \sigma_R^2 + \sigma_I^2 \quad (2)$$

Y por lo tanto:

$$SNR = \frac{1}{\sigma_R^2 + \sigma_I^2} \quad (3)$$

Suponiendo $\sigma_R = \sigma_I$, se tiene:

$$SNR = \frac{1}{2\sigma^2} \quad (4)$$

Despejando σ de la ecuación (4)

$$\sigma = \frac{1}{\sqrt{2 * snr}} \quad (5)$$

La ecuación (5) sirve para hallar el valor de sigma asociado a cada valor de Eb/No, que debe colocarse en la constante que aparece en el bloque modelado como canal de ruido AWGN, esta condición permite variar el ruido presente en el canal de comunicaciones de cada uno de los sistemas.

2.4. PROBABILIDAD DE ERROR TEÓRICA EN DBPSK

Para el sistema DBPSK se tiene la Pb (probabilidad de error de bit) a partir de un sistema que utiliza detección coherente y se muestra en la ecuación (6). [15]

$$Pb = 2Q \left(\sqrt{\frac{2Eb}{No}} \right) \left[1 - Q \left(\sqrt{\frac{2Eb}{No}} \right) \right] \quad (6)$$

Al reemplazar la función Q en la ecuación (6) en términos de erfc (función de error complementaria), la probabilidad de error es igual a:

$$Pb = erfc \left(\sqrt{\frac{Eb}{No}} \right) \left[1 - \frac{1}{2} erfc \left(\sqrt{\frac{Eb}{No}} \right) \right] \quad (7)$$

2.5. PROBABILIDAD DE ERROR TEÓRICA EN DQPSK

Para un sistema DQPSK se tiene la probabilidad de error de bit como se muestra en la ecuación (8). [16]

$$Pb = erfc \left(\sqrt{\frac{Eb}{No}} \right) - erfc^2 \left(\sqrt{\frac{Eb}{No}} \right) + \frac{1}{2} erfc^3 \left(\sqrt{\frac{Eb}{No}} \right) - \frac{1}{8} erfc^4 \left(\sqrt{\frac{Eb}{No}} \right) \quad (8)$$

3. SIMULACIÓN DE SISTEMAS

3.1. METODOLOGÍA DE SIMULACIÓN

La metodología de simulación adoptada para llevar a cabo el desarrollo del proyecto es una adaptación de las descritas por Zeidman, Astaiza et al., en [17,18] y consta de las fases que se muestran en la Fig. 4.

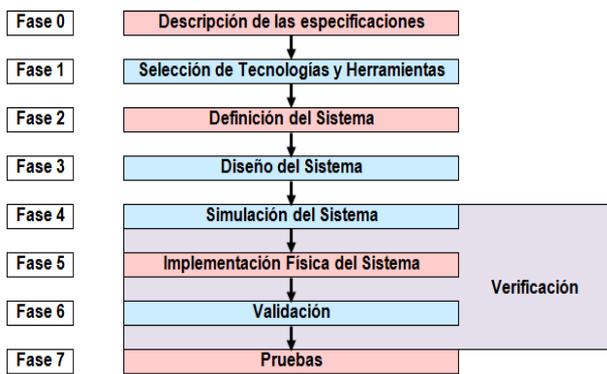


Fig. 4. Diagrama de flujo de la metodología empleada para la simulación [17].

FASE 0: En esta fase se hicieron las descripciones de las especificaciones a partir del requerimiento, el cual era implementar un sistema de comunicaciones con modulaciones digitales diferenciales de fase con un canal AWGN. Este sistema debe ser comparable a un sistema de comunicaciones teórico esto con respecto a su rendimiento.

FASE 1: En esta fase se describe las tecnologías y las herramientas que fueron utilizadas para diseñar e implementar el sistema de comunicaciones. De esto se dice que la tecnología utilizada para desarrollar el proyecto es el hardware reconfigurable, a partir de aquí se escogió la *FPGA Xilinx Spartan3axc3s700a-4fg484* como herramienta de despliegue de implementación, a continuación el software de diseño del sistema fue el paquete de desarrollo *Xilinx* en colaboración del paquete de *Matlab*.

FASE 2: En esta fase se hicieron las definiciones del sistema, en la cual se hace la aclaración que las modulaciones digitales que son motivo del proyecto son DBPSK y DQPSK.

FASE 3: En esta fase se hicieron los diseños de los sistemas de comunicaciones a partir de diagramas de bloques, este proceso se realizó en la interfaz del *System Generator* del paquete *Xilinx*.

FASE 4: En esta fase se realizan las simulaciones de los sistemas diseñados, en las cuales se hacen mediciones de rendimiento en este caso la medida de la BER, lo anterior para poder establecer comparaciones de validación con respecto al rendimiento de los sistemas teóricos.

FASE 5: En esta fase se realiza la implementación de cada uno de los sistemas de comunicación diseñados y validados, y se observa si la herramienta de despliegue tiene los suficientes recursos lógicos para poder establecer si se pueden ser desplegados en la *FPGA*.

FASE 6: A lo que se llegue a esta fase ya los sistemas implementados tienen que entregar datos de desempeño comparables con sistemas de comunicación teóricos. Entonces se hacen mediciones de rendimiento de los sistemas implementados con la

respectiva comparación de validación; esta vez la comparación se hace con los datos validados en la fase 4.

FASE 7: Al finalizar esta metodología ya se hacen las pruebas de análisis de ambos sistemas de comunicación implementados, este análisis se hace con comparaciones entre sistemas.

3.2. SISTEMA DBPSK

En la Fig. 5 se muestra el esquema general del sistema DBPSK donde se destacan los bloques: modulador, canal AWGN, demodulador y el modulo calculador de BER con sus correspondientes *display*.

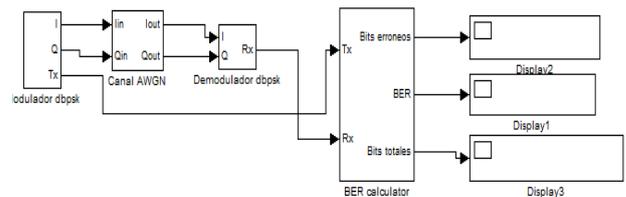


Fig. 5. Esquema de un sistema de comunicaciones con modulación digital DBPSK.

A partir de bloques de *Xilinx* de la Fig. 6 se construyó el generador de bits pseudoaleatorio equiprobable utilizando tres *LSFR* y un multiplexor. Además hay que mencionar la utilización de una compuerta XOR antes de un modulador BPSK ordinario logrando el modulador DBPSK.

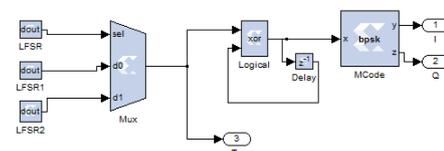


Fig. 6. Modulador y generador DBPSK.

En la Fig. 7 se observa el demodulador DBPSK a partir de un detector BPSK y posteriormente una compuerta XOR que sirva como proceso inverso de comparación entre bits consecutivos.

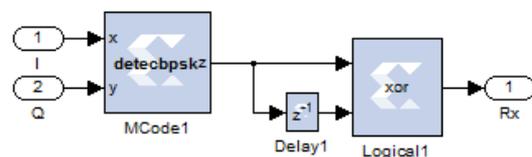


Fig. 7. Demodulador DBPSK.

Los resultados de simulación tuvieron concordancia con los resultados teóricos obtenidos a partir de un modelo matemático expresado en la ecuación (7) que se muestra en la Tabla 1. Por esto el modelamiento del sistema se acerca al de un sistema teórico, esto únicamente con respecto al rendimiento de este.

Tabla 1. Comparación de BER con modulación DBPSK

Eb/No[dB]	BER TEORICA	BER SIMULADA
0	0.144927686780961	0.142904853821
1	0.106228587716503	0.105002784729
2	0.072198837388899	0.071999645233
3	0.044709972057108	0.044471359253
4	0.024689095178100	0.024606704712
5	0.011836837227531	0.011758041382
6	0.004765173696157	0.004653930664
7	0.001544155578016	0.001485252380
8	0.000381742656596	0.000387382507
9	0.000067252195258	0.000062751770
10	0.000007744186445	0.000007057190
11	0.000000522613454	0.000000190735
12	0.000000018012021	0
13	0.000000000266586	0
14	0.00000000001362	0
15	0.000000000000002	0

3.3. SISTEMA DQPSK

En la Fig. 8 al igual que en el anterior sistema se muestra el esquema general del sistema DQPSK donde se destacan los bloques de modulador DQPSK, canal AWGN, demodulador DQPSK y el modulo calculador de BER con sus correspondientes display de despliegue.

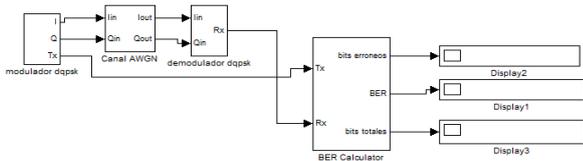


Fig. 8. Esquema de un sistema de comunicaciones con modulación digital DQPSK.

En la modulación DQPSK como se muestra en la Fig. 9 se utilizó un generador igual que para la modulación DBPSK, pero además se realiza una separación de los bits en I (fase) y Q (cuadratura).

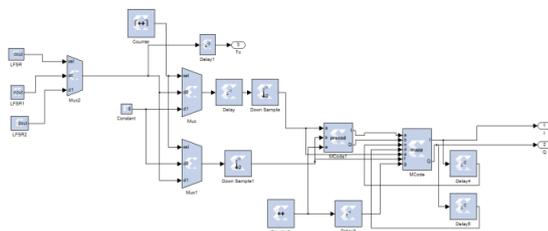


Fig. 9. Modulador y generador DQPSK.

En la Fig. 10 se muestra el detector de las señales I y Q en primera instancia las que posteriormente pasan al demodulador DQPSK que compara una señal I (señal en fase) y Ip (señal en fase pasado); y además Q (señal en cuadratura) y Qp (Señal en cuadratura pasado).

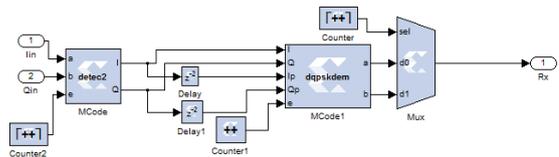


Fig. 10. Demodulador DQPSK.

Los resultados de simulación tuvieron concordancia con los resultados teóricos obtenidos a partir de un modelo matemático expresado en la Ecuación 8 como se muestra en la Tabla 2. Por esto el sistema se acerca a un comportamiento teórico, esto únicamente con respecto al rendimiento de este.

Tabla 2. Comparación de BER con modulación DQPSK

Eb/No[dB]	BER TEÓRICA	BER SIMULADA
0	0.134425669583121	0.134666760763
1	0.100586331292382	0.096404817369
2	0.069592501328745	0.064151128133
3	0.043710481256435	0.038585768806
4	0.024384319467743	0.020715289646
5	0.011766781869755	0.009515232510
6	0.004753820255980	0.003690507677
7	0.001542963369792	0.001152568393
8	0.000381669792868	0.000274372101
9	0.000067249933829	0.000044918060
10	0.000007744156458	0.000005878723
11	0.000000522613318	0.000002193451
12	0.000000018012020	0
13	0.000000000266586	0
14	0.00000000001362	0

4. IMPLEMENTACIÓN DE SISTEMAS

Teniendo en cuenta que la implementación de los sistemas se realizaron bajo condiciones de banda base los recursos que se tenían en el FPGA Spartan 3A de Xilinx fueron suficientes como se observa en la tabla 4.1, esto se hizo sin necesidad de utilizar la memoria flash puesto que los recursos fueron necesarios y no se hizo uso de este elemento.

4.1. CAPACIDADES MÍNIMAS

Tabla 3. Comparación de recursos de FPGA para DBPSK y DQPSK

COMPONENTES	DBPSK	DQPSK
Total Number Slice Registers	9%	17%
Number of 4 input LUTs	11%	24%
Number of occupied Slices	19%	36%
Number of Slices containing only related logic	100%	100%
Number of Slices containing unrelated logic	0%	0%
Total Number of 4 input LUTs	13%	27%
Number of bonded IOBs	2%	2%
Number of BUFGMUXs	4%	4%
Number of MULT18X18SIOs	40%	70%
Number of RAMB16WBEs	40%	80%

5. RESULTADOS

Tanto para DBPSK como para DQPSK se realizaron variaciones de E_b/N_0 igual a cero hasta E_b/N_0 igual a 14 donde se observa la estabilización de una BER de cero para los dos sistemas con las condiciones dadas. Se obtuvo las curvas de BER en simulación e implementación a partir de las Tablas 4 y 5. Es importante mencionar que la velocidad de transmisión que se tuvo en cuenta para realizar estas pruebas de implementación fue de 1,5625 Mbps para los dos sistemas. Además se trabajó con potencia normalizada que hacían más fácil detectar si el símbolo a enviar era un uno o un cero.

5.1. SISTEMA DBPSK

Para el sistema DBPSK se tienen los resultados de validación en la Tabla 4, donde se tiene una aproximación bastante buena entre los valores simulados e implementados, con una diferencia mínima de tasa de error por encima para los valores del sistema implementado. Gráficamente también se corrobora la anterior afirmación a partir de la Fig. 11. Esto permite concluir que el sistema diseñado cumple con el comportamiento esperado a partir de la base teórica.

Tabla 4. Comparación de resultados simulados e implementados en DBPSK

E_b/N_0 [dB]	BER SIMULADA	BER IMPLEMENTADA
0	0.142904853821	0.143187376018
1	0.105002784729	0.104866640363
2	0.071999645233	0.072027183976
3	0.044471359253	0.044379381835
4	0.024606704712	0.024542562011
5	0.011758041382	0.011737124249
6	0.004653930664	0.004627328179
7	0.001485252380	0.001492653228
8	0.000387382507	0.000371514759
9	0.000062751770	0.000063907168
10	0.000007057190	0.000006675720
11	0.000000190735	0.000000500865
12	0	0
13	0	0
14	0	0

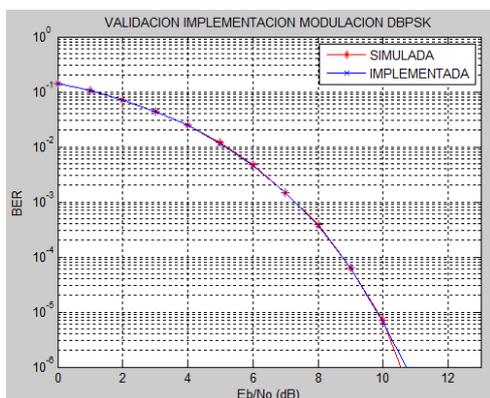


Fig. 11. Validación de los resultados implementados en DBPSK.

5.2. SISTEMA DQPSK

Para la validación del sistema DQPSK se tiene una aproximación bastante cercana entre la curva de BER simulada e implementada, pero es visible que a partir de la relación E_b/N_0 de 10 la curva de BER simulada cambia su comportamiento y se mantiene por encima de la implementada, esto se puede observar en la Fig. 12 y además se puede corroborar en la Tabla 5. Esto permite concluir que el sistema diseñado cumple con el comportamiento esperado a partir de la base teórica.

Tabla 5. Comparación de resultados simulados e implementados en DQPSK

E_b/N_0 [dB]	BER SIMULADA	BER IMPLEMENTADA
0	0.134666760763	0.134740238939
1	0.096404817369	0.096347756453
2	0.064151128133	0.064239481091
3	0.038585768806	0.038649201393
4	0.020715289646	0.020729183850
5	0.009515232510	0.009529706835
6	0.003690507677	0.003682714700
7	0.001152568393	0.001127812266
8	0.000274372101	0.000263053178
9	0.000044918060	0.000043950812
10	0.000005878723	0.000004863719
11	0.000002193451	0.000000298610
12	0	0
13	0	0
14	0	0

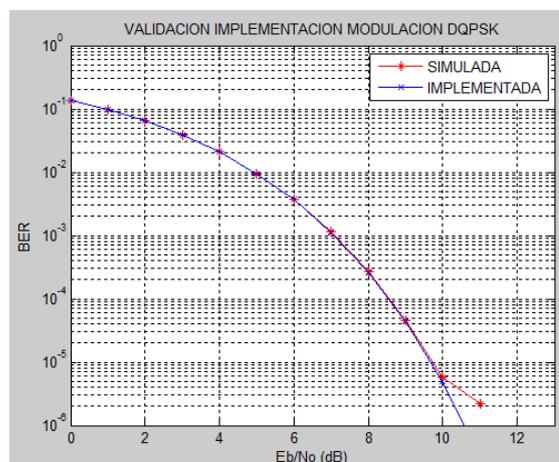


Fig. 12. Validación de los resultados implementados en DQPSK.

La BER del sistema DQPSK tiene un comportamiento similar a la BER del sistema DBPSK aunque se mantiene levemente por debajo, como se puede ver en la Fig. 13. Además es importante mencionar que teóricamente se da un comportamiento similar lo que solidifica las bases para que estos resultados tengan validez.

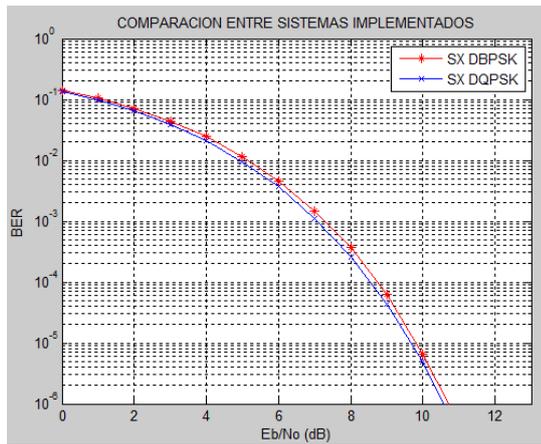


Fig. 13. Comparación de los resultados implementados entre DBPSK y DQPSK.

Con este análisis se cumple uno de los objetivos de este trabajo, el cual era realizar el análisis del desempeño de los sistemas DBPSK y DQPSK implementados en hardware reconfigurable.

6. CONCLUSIONES

De acuerdo con las observaciones hechas de las Tablas 1 y 2, se puede decir que para valores de Eb/No bajos cercanos a cero, el sistema que mejor respuesta tiene con respecto a la BER es el DQPSK, mientras que para valores altos de Eb/No ya se nota la gran diferencia en el rendimiento, y se puede observar que el sistema que mejor se comporta frente a rendimiento es el DBPSK. Lo que quiere decir que el sistema de comunicaciones para valores de Eb/No en la práctica hace que DBPSK sea utilizado en gran medida por su gran eficiencia respecto a los errores en la información.

Para la implementación de sistemas diferenciales de fase en banda base en Hardware reconfigurable basta con utilizar una arquitectura de procesos que trabaje con punto fijo, puesto que como se observa en las Fig.11 y Fig. 12, los resultados teóricos y simulados son bastante aproximados, lo que garantiza un correcto funcionamiento con una precisión adecuada. Lo que hace más viable su implementación en sistemas reales de comunicaciones puesto que minimiza costos ya que no nos obliga a utilizar una arquitectura matemática punto flotante que demanda más recursos.

Un sistema DQPSK en banda base en Hardware reconfigurable con canal AWGN presenta un mejor desempeño que un sistema DBPSK con las mismas condiciones, como se observa en la Fig. 13, puesto que DQPSK permite enviar dos bits simultáneamente, de esta forma se hace una transmisión mucho más rápida.

Una *FPGA Spartan 3A* soporta sin inconvenientes la implementación de un sistema de comunicaciones con modulaciones diferenciales de fase bajo un modelo banda base; por ende el hardware reconfigurable se constituye en una opción viable para implementar sistemas digitales.

De acuerdo a las formas de onda visualizadas, de los sistemas diseñados, se observa que el canal AWGN tiene un retraso en su funcionamiento de diez ciclos de reloj, los cuales son iguales a los tiempos de símbolo del sistema; por ende el funcionamiento del canal se ve restringido al tipo de modulación y a la cantidad de bits por símbolo que está maneje.

Los bloques construidos para el sistema de comunicaciones digitales con modulación DQPSK tuvieron una mejor respuesta ante el ruido AWGN que se podía variar con la condición de canal dada por Eb/No, siendo DBPSK un sistema mucho más sensible a estos agentes a la hora de la simulación e implementación, esto como se puede ver Fig. 13.

El proyecto está abierto para realizar cambios y mejoras en los componentes de los sistemas, creando de esta manera nuevas opciones como la implementación de un sistema que involucre la modulación D8PSK, debido a que la arquitectura modular del proyecto hace posible estas nuevas adiciones.

Los dispositivos diseñados e implementados en este proyecto sirven como apoyo didáctico sobre la enseñanza de las tecnologías de punta en comunicaciones digitales. De esta manera, se entrega una herramienta con un alto nivel didáctico para un uso en laboratorios, comprensión de sistemas de comunicación digital DMPK y la mejora e implementación de nuevos diseños basados en este mismo.

Gracias a la portabilidad y la arquitectura modular de sus componentes, este proyecto puede ser usado en diferentes prácticas de laboratorio tanto para el análisis de los sistemas de comunicaciones DMPK como en el diseño de componentes para el procesamiento de señales digitales en asignaturas con este enfoque. Las alternativas de uso están abiertas para que el alumno pueda manipular uno a uno los elementos del dispositivo, teniendo la opción de hacer mejoras o simplemente, aprender del funcionamiento y arquitectura que este posee sin tener que dedicarse al diseño y construcción de un sistema completo de procesamiento digital.

El Hardware implementado genera la posibilidad de desarrollar nuevos proyectos que complementen su interactividad con el usuario, además sirve como base en la elaboración de sistemas digitales en el área académica y profesional, dando solución a problemas en el sector de las comunicaciones digitales, aprovechando la era digital en la que se encuentra el país.

7. REFERENCIAS

- [1] Saldaña, G. (2004). Comunicaciones II: Manual de asignatura. Puebla, México: Universidad Tecnológica de Puebla.
- [2] Herrera R. & Gutiérrez J. M. (2011). Conocimiento, Innovación y Desarrollo. San José, Costa Rica: Impresión Gráfica del Este.
- [3] Calabria M., Hadad M., Funes M., Donato P. & Carrica D. (2011). Complete $\pi/4$ -DQPSK modulation scheme implemented on an FPGA. Argentine School of Micro-Nanoelectronics Technology and Applications (EAMTA), No, 1-7. ISBN 978-1-4577-1236-4.
- [4] Piñeiros F. & Darío G. (2010). Implementación de la etapa de recepción de un sistema de comunicaciones utilizando la tecnología FPGA. Tesis de trabajo de grado en Ingeniería Electrónica y Telecomunicaciones. Escuela Politécnica del Ejército, Quito, Ecuador.
- [5] Alverca Y. (2008). Síntesis de circuitos digitales utilizando VHDL (Vhsic hardware description language) y FPGAs (Field programable gate arrays). Tesis de trabajo de grado en Ingeniería Electrónica y Telecomunicaciones. Escuela Politécnica del Ejército, Quito, Ecuador.
- [6] Kafare T. V. & Raison G. H. (2010). Simulation and Implementation of QPSK Modulator on FPGA. Tesis de trabajo de grado en Ingeniería Electrónica y Telecomunicaciones. College of Engineering and Management, Department of Electronics and Tele-Communication, University of Pune, Pune, India.
- [7] Arias E. & Sánchez D. (2011). Desarrollo de bloques hardware para la transmisión y recepción de señales digitales moduladas en fase diferencial. Tesis de trabajo de grado en Ingeniería Electrónica. Facultad de Ingeniería, Universidad del Quindío, Colombia.
- [8] Luque J. & Clavijo S. (1995). Modulación de señales Digitales. Sevilla, España: Universidad de Sevilla.
- [9] La Trobe University (2010). Lecture 7 - Modulation: Making the Message Fit the Medium. Melbourne, Australia. Recuperado (2014, marzo 23) de <http://ironbark.xtelco.com.au/subjects/DC/lectures/7/>
- [10] Haykin S. (2002). Sistemas de Comunicaciones. México D.F.: Limusa Wiley, S.A.
- [11] Chuang Y. (2010). Experimental Study of DQPSK in WDM Communication System. Tesis de Maestría en ingeniería electrónica. University of Tokyo, Tokyo, Japan.
- [12] Quicknet (2010). $\pi/4$ DQPSK or 4-QAM. Estocolmo, Suecia. Recuperado (2014, marzo 23) de <http://www.quicknet.se/hdc/ord/info/p4dqpsk.htm>
- [13] Fernández, M. (2005). Transmisión Digital Paso Banda. Valladolid: Universidad de Valladolid.
- [14] Van, H. (2002). Detection, Estimation, and Modulation Theory, Radar-Sonar Signal Processing and Gaussian Signals in Noise. New York: John Wiley & Sons.
- [15] Sklar B. (1995). Digital Communications: Fundamentals & Applications. California, Los Angeles: Prentice Hall.
- [16] MathWorks (2014). Bit Error Rate (BER). Massachusetts, EE.UU. Recuperado (2014, marzo 23) de <http://www.mathworks.com/help/comm/ug/bit-error-rate-ber.html>.
- [17] Zeidman B. (2002). The Universal Design Methodology—taking hardware from conception through production. EE.UU. Recuperado (2014, marzo 23) de <http://m.eet.com/media/1143713/19107-265493.pdf>
- [18] Astaiza E., Bermúdez H. & Muñoz P. (2007). Simulación De Sistemas De Telecomunicaciones. Colombia: Padilla Bejarano, Ferney.